

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B1)

(11) 特許番号

特許第5927371号
(P5927371)

(45) 発行日 平成28年6月1日(2016.6.1)

(24) 登録日 平成28年4月28日(2016.4.28)

(51) Int.Cl.

F 1

HO4N	5/378	(2011.01)	HO4N	5/335	780
A61B	1/04	(2006.01)	A61B	1/04	372
GO2B	23/24	(2006.01)	GO2B	23/24	B
HO4N	5/341	(2011.01)	HO4N	5/335	410
HO4N	5/361	(2011.01)	HO4N	5/335	610

請求項の数 7 (全 15 頁) 最終頁に続く

(21) 出願番号 特願2016-509178 (P2016-509178)
 (86) (22) 出願日 平成27年9月8日(2015.9.8)
 (86) 国際出願番号 PCT/JP2015/075519
 審査請求日 平成28年2月19日(2016.2.19)
 (31) 優先権主張番号 特願2014-246137 (P2014-246137)
 (32) 優先日 平成26年12月4日(2014.12.4)
 (33) 優先権主張国 日本国(JP)

早期審査対象出願

(73) 特許権者 000000376
 オリンパス株式会社
 東京都八王子市石川町2951番地
 (74) 代理人 100076233
 弁理士 伊藤 進
 (74) 代理人 100101661
 弁理士 長谷川 靖
 (74) 代理人 100135932
 弁理士 篠浦 治
 (72) 発明者 大河 文行
 東京都渋谷区幡ヶ谷2丁目43番2号 オ
 リンパス株式会社内
 (72) 発明者 橋本 秀範
 東京都渋谷区幡ヶ谷2丁目43番2号 オ
 リンパス株式会社内

最終頁に続く

(54) 【発明の名称】 内視鏡

(57) 【特許請求の範囲】

【請求項1】

光を光電変換して光電変換信号を生成可能な複数の画素が行列状に設けられた有効画素領域と、前記有効画素領域の走査方向に対して上部または下部の少なくとも一方に設けられた垂直オプティカルブラック画素領域と、を備える撮像素子と、

前記撮像素子における前記有効画素領域において生成される前記光電変換信号、および、前記垂直オプティカルブラック画素領域において生成されるオプティカルブラック信号を読み出す読み出し部と、

前記読み出し部によって行ごとに読み出された、前記有効画素領域において生成される光電変換信号に対して、各行ごとに、前記垂直オプティカルブラック画素領域において生成される前記オプティカルブラック信号を付加して出力する出力部と、

を具備することを特徴とする内視鏡。

【請求項2】

前記垂直オプティカルブラック画素領域から読み出される前記オプティカルブラック信号の値と所定の閾値とを比較する比較部と、

前記比較部における比較結果に基づいて、前記所定の閾値より小さい値を有する前記オプティカルブラック信号を抽出する抽出部と、

を具備し、

前記出力部は、前記抽出部により抽出された、所定の閾値よりも小さい値を有する前記オプティカルブラック信号を、前記光電変換信号の行ごとに付加する

10

20

ことを特徴とする請求項 1 に記載の内視鏡。

【請求項 3】

前記抽出部により抽出された、前記所定の閾値よりも小さい値を有する前記オプティカルブラック信号を加算平均する加算平均部をさらに具備し、

前記出力部は、前記加算平均部において生成される前記オプティカルブラック信号の加算平均値を、前記光電変換信号の行ごとに付加する

ことを特徴とする請求項 2 に記載の内視鏡。

【請求項 4】

水平オプティカルブラック画素領域に対応したクランプ処理を行うクランプ回路を設けた第 1 のプロセッサに接続可能であることを特徴とする請求項 1 に記載の内視鏡。

10

【請求項 5】

さらに、前記クランプ回路が設けられていない、前記第 1 のプロセッサとは異なる第 2 のプロセッサに接続可能であって、

当該内視鏡が前記第 1 のプロセッサに接続されているか、または、前記第 2 のプロセッサに接続されているかを識別可能な識別部と、

前記識別部の識別結果に応じて、前記撮像素子からの撮像信号が、少なくとも前記読み出し部および前記出力部を通過する第 1 の信号経路と、前記読み出し部および前記出力部を通過しない第 2 の信号経路とを切り替える信号経路切替部と、

をさらに具備することを特徴とする請求項 4 に記載の内視鏡。

【請求項 6】

20

前記信号経路切替部は、前記識別部の識別結果により前記内視鏡が前記第 1 のプロセッサに接続されている場合には前記撮像信号の信号経路を前記第 1 の信号経路に切り替え、一方、前記内視鏡が前記第 2 のプロセッサに接続されている場合には、前記撮像信号の信号経路を前記第 2 の信号経路に切り替える

ことを特徴とする請求項 5 に記載の内視鏡。

【請求項 7】

さらに、前記クランプ回路が設けられていない、前記第 1 のプロセッサとは異なる第 2 のプロセッサに接続可能であって、

前記撮像素子からの撮像信号が、少なくとも前記読み出し部および前記出力部を通過する第 1 の信号経路と、前記読み出し部および前記出力部を通過しない第 2 の信号経路とを切り替えるための切替指示信号を出力する切替指示部と、

30

前記切替指示部からの前記切替指示信号に応じて、前記第 1 の信号経路と前記第 2 の信号経路とを切り替える信号経路切替部と、

をさらに具備することを特徴とする請求項 4 に記載の内視鏡。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、垂直オプティカルブラック画素領域のみを有する撮像素子を採用する内視鏡に関する。

【背景技術】

40

【0002】

従来、医療用分野及び工業用分野において撮像素子を備えた内視鏡が広く用いられている。また、内視鏡に着脱自在に接続され、内視鏡に係る各種信号処理をプロセッサと称する信号処理装置により担い、内視鏡システムを構成する技術も知られるところにある。

【0003】

また、この種の内視鏡に搭載される、たとえば CCD イメージセンサ等の撮像素子は、既知のように実際に光を受け光電効果によって電荷を得る有効画素領域と、暗電流を含む電荷のオフセット検出を行うため、当該有効画素領域の周囲に設けられたオプティカルブラック画素領域 (OB 領域) とを有する。

【0004】

50

一般に、撮像素子における各画素は熱を帯びると、光が当たっていなくとも電荷を貯める性質を有し、いわゆる暗電流ノイズを生じる。

【0005】

一方で上述したオプティカルブラック画素領域は、撮像素子における周辺部に光学的にマスクされて配置されていることから光が当たらないようになっている。したがって、オプティカルブラック画素領域における黒レベルを検出することで、暗電流ノイズ等を含む電荷のオフセット情報のみを検出することができ、この黒レベルを前記有効画素領域の画素情報から減算することによって、OB画素の信号レベルを基準として撮像信号を生成することができる。

【0006】

ここで、上述した黒レベルは、いわゆるOBクランプ処理において、オプティカルブラック画素領域からの出力信号（オプティカルブラック信号）を所定の目標レベルにクランプし、そのクランプレベルを基準として、得られた全てのオプティカルブラック信号の平均値を黒レベルとする（日本国特開2011-55336号公報参照）。

【0007】

一方、近年、撮像素子としてCMOSイメージセンサを採用する内視鏡も提案されている。このCMOSイメージセンサは、近年の撮像素子チップ小型化の影響もあり、その種類によってはサイズの制約から、オプティカルブラック画素領域が画素配列領域における垂直方向にのみ（垂直OB画素領域のみ）設けられたタイプも存在する。

【0008】

さらに一方では、撮像素子としてCCDイメージセンサを搭載する内視鏡に対応するプロセッサ（以下、CCD対応プロセッサと称す）においては、通常、CCDイメージセンサにおける水平オプティカルブラック画素領域（水平OB画素領域）に対応したOBクランプ処理を行っている。

【0009】

しかしながら、上述した、垂直OB画素領域のみを有するCMOSイメージセンサを採用する内視鏡を、係るCMOSイメージセンサに対応するプロセッサ（以下、本明細書においてはCMOS対応プロセッサと称する）に接続する場合は特に問題は生じないが、従来のCCDイメージセンサを採用する内視鏡に対応したプロセッサであって、上述した如く、水平OB画素領域のみに対応したOBクランプ処理を行うプロセッサ（CCD対応プロセッサ）に接続する場合は、以下に示す不都合を生じる虞がある。

【0010】

すなわち、システム構成要素の互換性の観点から、オプティカルブラック画素として水平オプティカルブラック画素領域（水平OB領域）を有する撮像素子を採用した内視鏡と、垂直オプティカルブラック画素領域（垂直OB領域）のみを有する撮像素子を採用した内視鏡との双方が共通のプロセッサに接続可能であることが望ましいが、上述したようにCCD対応プロセッサは、水平オプティカルブラック画素領域（水平OB画素領域）に対応したOBクランプ処理を行っているため、垂直OB画素領域のみを有するCMOSイメージセンサを採用する内視鏡がCCD対応プロセッサに接続された場合は、適切なOBクランプ処理が行えないため、互換性が損なわれるという問題がある。

【0011】

本発明は上述した点に鑑みてなされたもので、水平OB画素領域に対応したOBクランプ処理回路のみを備えるプロセッサに接続された場合であっても、当該プロセッサにおいて適正な画像信号処理を行い得る、垂直OB画素領域のみを有する撮像素子を採用する内視鏡を提供することを目的とする。

【発明の開示】

【課題を解決するための手段】

【0012】

本発明の一態様の内視鏡は、光を光電変換して光電変換信号を生成可能な複数の画素が行列状に設けられた有効画素領域と、前記有効画素領域の走査方向に対して上部または下

10

20

30

40

50

部の少なくとも一方に設けられた垂直オプティカルブラック画素領域と、を備える撮像素子と、前記撮像素子における前記有効画素領域において生成される前記光電変換信号、および、前記垂直オプティカルブラック画素領域において生成されるオプティカルブラック信号を読み出す読み出し部と、前記読み出し部によって行ごとに読み出された、前記有効画素領域において生成される光電変換信号に対して、各行ごとに、前記垂直オプティカルブラック画素領域において生成される前記オプティカルブラック信号を付加して出力する出力部と、を具備する。

【図面の簡単な説明】

【0013】

【図1】図1は、本発明の第1の実施形態の内視鏡の構成を示す図。

10

【図2】図2は、第1の実施形態の内視鏡における水平オプティカルブラック画素領域を生成する水平オプティカルブラック画素領域生成処理部の構成を示した図。

【図3】図3は、第1の実施形態の内視鏡における水平オプティカルブラック画素領域を生成する水平オプティカルブラック画素領域生成処理部の他の構成例を示した図。

【図4】図4は、第1の実施形態の内視鏡のCMOSイメージセンサにおける垂直オプティカルブラック画素領域を示した図。

【図5】図5は、第1の実施形態の内視鏡における新たに生成された水平オプティカルブラック画素領域を示した図。

【図6】図6は、第1の実施形態の内視鏡、従来の内視鏡およびCCD対応プロセッサの接続関係を示した図。

20

【図7】図7は、第1の実施形態の内視鏡、CCD対応プロセッサおよびCMOS対応プロセッサとの接続関係を示した図。

【図8】図8は、第1の実施形態の内視鏡がCCD対応プロセッサに接続された際の構成を示す図。

【図9】図9は、第1の実施形態の内視鏡がCMOS対応プロセッサに接続された際の構成を示す図。

【図10】図10は、第1の実施形態の内視鏡における水平オプティカルブラック画素領域生成処理の作用を示したフローチャート。

【図11】図11は、本発明の第2の実施形態の内視鏡がCCD対応プロセッサに接続された際の構成を示す図。

30

【図12】図12は、第2の実施形態の内視鏡がCMOS対応プロセッサに接続された際の構成を示す図。

【図13】図13は、第2の実施形態の内視鏡における水平オプティカルブラック画素領域生成処理の作用を示したフローチャート。

【発明を実施するための形態】

【0014】

以下、図面を参照して本発明の実施形態を説明する。

【0015】

図1に示すように本発明の第1の実施形態である内視鏡1は、被検体に挿入される挿入部の先端に設けられ、被検体の光学像を撮像して所定のデジタル撮像信号を出力するCMOSイメージセンサ11と、前記CMOSイメージセンサ11に接続され前記デジタル撮像信号を伝送するケーブル40と、所定の信号処理を行う信号処理装置としてのプロセッサ(詳しくは後述する)に接続されるコネクタ部20と、を備える。

40

【0016】

前記CMOSイメージセンサ11は、プロセッサ3のクロック同期信号生成回路31(図8参照)から送信される所定のクロック信号および同期信号HD、VDに基づいて当該CMOSイメージセンサ11の動作仕様に合わせたクロック信号、水平同期信号HDおよび垂直同期信号VD並びに各種信号処理のためのパルスを生成するタイミングジェネレータ(TG)15と、当該タイミングジェネレータ15において生成された前記クロック信号、水平同期信号HDおよび垂直同期信号VDにより、被検体の光学像を撮像して所定の

50

アナログ撮像信号を生成する撮像部12(PD12)と、当該撮像部12に対して所定の信号処理を施すと共にデジタル撮像信号に変換して出力するA/D変換部を備えるAFE回路13と、当該AFE回路13からのデジタル撮像信号をパラレル/シリアル変換して後段に出力するP/S回路14と、を有して構成される。

【0017】

なお、AFE回路13は、撮像部12からのアナログ撮像信号に対して所定の相関2重サンプリング処理を施すCDS回路と、この相関2重サンプリング処理が施されたアナログ撮像信号をA/D変換して出力するA/D変換回路とを備えて構成される。

【0018】

前記ケーブル40は、プロセッサ3から送信される所定のクロック信号および同期信号HD, VDをCMOSイメージセンサ11に伝送すると共に、P/S回路14においてパラレル/シリアル変換されたシリアル信号の前記デジタル撮像信号をコネクタ20の内部に設けられたS/P変換回路23に伝送する。

10

【0019】

本実施形態においては、前記コネクタ部20の内部に、前記デジタル撮像信号に対して所定の信号処理を施すための回路をFPGA(以下、FPGA21)にて構成する。

【0020】

前記FPGA21は、プロセッサ3において生成された前記クロック信号および同期信号HD, VDを受けてCMOSイメージセンサ11に向けて出力する。

【0021】

20

一方、前記FPGA21は、プロセッサ3において生成された前記クロック信号に基づいて各種信号処理のためのパルスを生成するタイミングジェネレータ(TG)22と、CMOSイメージセンサ11から出力された前記シリアル信号のデジタル撮像信号をシリアル/パラレル変換するS/P変換回路23と、S/P変換回路23に接続された水平オプティカルブラック画素領域生成処理部24(以下、水平OB画素領域生成処理部24と称す)と、同じくS/P変換回路23に接続されたCMOSプロセッサ用信号処理部25(CMOS用信号処理部25)を具備する。

【0022】

なお、本実施形態においては、前記CMOSイメージセンサ11は、オプティカルブラック画素領域が画素配列領域における垂直方向にのみ(垂直OB画素領域のみ)設けられたタイプを想定する。

30

【0023】

図1に戻って前記FPGA21は、さらに、前記水平OB画素領域生成処理部24と、CMOSプロセッサ用信号処理部25との出力信号経路を切り替える信号経路切替部26と、当該信号経路切替部26からの出力信号をパラレル/シリアル変換してプロセッサに向けて出力するP/S回路27と、当該内視鏡1に接続されたプロセッサの種別に応じて前記信号経路切替部26における信号経路を切り替えるプロセッサ検知回路28と、を備える。

【0024】

ここで、前記水平OB画素領域生成処理部24およびCMOSプロセッサ用信号処理部25について説明する。

40

【0025】

上述したように、本実施形態においては、前記CMOSイメージセンサ11として、オプティカルブラック画素領域が画素配列領域における垂直方向にのみ(垂直OB画素領域のみ)設けられたタイプを想定する(図4参照)。

【0026】

すなわち、図4に示すように、本実施形態におけるCMOSイメージセンサ11は、光を光電変換して光電変換信号を生成可能な複数の画素が行列状に設けられた有効画素領域Raと、当該有効画素領域Raの走査方向に対して上部に設けられ、暗電流を含む電荷のオフセット検出を行うための垂直オプティカルブラック画素領域Rvobと、を備える。

50

【0027】

なお、本実施形態においては、CMOSイメージセンサ11における前記垂直オプティカルブラック画素領域Rvobは、有効画素領域Raの走査方向に対して上部に設けられるとしたが、これに限らず、本願発明は、有効画素領域Raの走査方向に対して下部または双方に設けられるCMOSイメージセンサにも適用できる。

【0028】

一方で、上述したように、従来の、撮像素子としてCCDイメージセンサを搭載する内視鏡に対応するプロセッサ（以下、CCD対応プロセッサと称す）においては、通常、CCDイメージセンサにおける水平オプティカルブラック画素領域（水平OB画素領域）に対応したOBクランプ処理を行っている。

10

【0029】

本願発明に係る内視鏡は、係る従来のCCD対応プロセッサに接続された場合でも当該プロセッサにおいて適正な画像信号処理を行い得るよう前記水平OB画素領域生成処理部24を備えることを特徴とする。

【0030】

図2は、本実施形態の内視鏡における、水平オプティカルブラック画素領域Rhobを生成する水平OB画素領域生成処理部24の構成を示した図である。

【0031】

図2に示すように、水平OB画素領域生成処理部24は、CMOSイメージセンサ11における前記P/S回路14においてパラレル/シリアル変換されたシリアル信号のデジタル撮像信号は、垂直OB画素の高輝度検出部51およびセレクタ54に入力される。

20

【0032】

前記垂直OB画素の高輝度検出部51は、前記CMOSイメージセンサ11における前記有効画素領域Ra（図4参照）において生成される光電変換信号、および、前記垂直オプティカルブラック画素領域Rvob（図4参照）において生成されるオプティカルブラック信号を行ごとに読み出す読み出し部である。

【0033】

また垂直OB画素の高輝度検出部51は、入力した撮像信号から白キズまたは光漏れを検出することにより行ごとに適正なオプティカルブラック信号を読み出すようになっている。

30

【0034】

そして垂直OB画素の高輝度検出部51は、設定された所定の閾値以上の画素を除外して、白キズまたは光漏れの影響がない画素に係る信号部分のみを後段の垂直OB画素領域用メモリ52に出力する。

【0035】

一方、垂直OB画素の高輝度検出部51は、白キズまたは光漏れの影響がない画素の数を加算画素数として、加算平均回路53に送出する。

【0036】

前記垂直OB画素領域用メモリ52は、垂直OB画素の高輝度検出部51から入力した前記白キズまたは光漏れの影響がない画素信号を一旦保持した後、加算平均回路53に送出する。

40

【0037】

前記加算平均回路53においては、垂直オプティカルブラック画素領域における加算平均値を演算し、後段のセレクタ54に送出する。

【0038】

前記セレクタ54には、上述したように、CMOSイメージセンサ11からのデジタル撮像信号が入力される一方で、前記FPGA21におけるタイミングジェネレータ22から所定のパルス信号が入力される。

【0039】

そしてセレクタ54は、タイミングジェネレータ22からのパルスに応じて、前記読み

50

出し部である垂直OB画素の高輝度検出部51によって行ごとに読み出された、前記有効画素領域において生成される光電変換信号に対して、画素配列領域における各行先頭の所定領域に、前記垂直オプティカルブラック画素領域において生成される前記オプティカルブラック信号を付加して出力する。

【0040】

ここで、本実施形態においては、画素配列領域における各行先頭の所定領域を新たに生成する水平オプティカルブラック画素領域として設定する。

【0041】

そしてセクタ54は、タイミングジェネレータ22からのパルスに応じて画素配列領域における各行ごとに以下の選択処理を行う。すなわち、セクタ54は各行ごとに、前記水平オプティカルブラック画素領域に、前記加算平均回路53において演算された前記加算平均値を埋め込むか、または、前記水平オプティカルブラック画素領域以外の領域（すなわち有効画素領域）に、当該セクタ54にスルーで入力した前記デジタル撮像信号を埋め込むかを選択する。

10

【0042】

前記セクタ54の選択処理により図5に示す如き、新たに水平オプティカルブラック画素領域Rho bが生成された撮像信号が生成される。

【0043】

なお、本実施形態においては、水平オプティカルブラック画素領域Rho bは、画素配列領域における各行先頭の所定領域に新たに生成されるものとしたが、これに限らず、画素配列領域における各行末尾等、内視鏡が接続されることが想定されるプロセッサに適合するよう任意の所定領域に新たに生成するようにしてもよい。

20

【0044】

さらに、本実施形態においては、上述したように前記垂直OB画素の高輝度検出部51において検出された垂直OB画素に係る信号を一旦、前記垂直OB画素領域用メモリ52に保持した後、前記加算平均回路53に送出し、当該加算平均回路53においては、垂直オプティカルブラック画素領域における加算平均値を演算してからセクタ54に送出したが、これに限らない。

【0045】

例えば、図3に示すように、前記垂直OB画素領域用メモリ52に保持した垂直OB画素に係る信号を直接セクタ54に送出し、当該セクタ54において各行ごとに、前記水平オプティカルブラック画素領域に、当該垂直OB画素に係る信号を埋め込む処理をしてもよい。

30

【0046】

一方、前記CMOSプロセッサ用信号処理部25は、前記水平OB画素領域生成処理部24とは異なり、当該CMOSイメージセンサ11（すなわち垂直オプティカルブラック画素領域のみを有するCMOSイメージセンサ）に対応した処理を行うCMOS対応プロセッサ3Aに当該内視鏡1が接続された際に有効に働くようになっている。

【0047】

すなわち、CMOSプロセッサ用信号処理部25は、本実施形態においては、撮像信号をそのままスルーして後段の信号経路切替部26に送出するようになっている。

40

【0048】

次に、内視鏡1が接続され得る前記プロセッサ3およびプロセッサ3Aについて詳しく説明する。

【0049】

図6は本実施形態の内視鏡、従来の内視鏡およびCCD対応プロセッサとの接続関係を示した図である。

【0050】

図6に示すように、プロセッサ3は、従来の、撮像素子としてCCDイメージセンサを備えた内視鏡に対して接続可能なCCD対応プロセッサである。一方でプロセッサ3は、

50

ＣＭＯＳイメージセンサ（垂直オプティカルブラック画素領域のみを有するＣＭＯＳイメージセンサ）を採用した内視鏡であっても、上述した本実施形態の如き構成をなす内視鏡１であれば、接続された際に当該プロセッサにおいて適正な画像信号処理を行い得る。

【００５１】

図８に示すように当該ＣＣＤ対応プロセッサ３は、所定のクロック信号および同期信号ＨＤ、ＶＤを生成する前記クロック同期信号生成回路３１と、接続された内視鏡から出力されるシリアル信号のデジタル撮像信号をシリアル／パラレル変換するＳ／Ｐ変換回路３２と、Ｓ／Ｐ変換回路３２に接続された水平オプティカルブラッククランプ処理回路３３と、プロセッサ３内の各種回路を制御するＣＰＵ３４と、を備える。

【００５２】

また、当該プロセッサ３におけるＣＰＵ３４は、図示しないメモリに格納された当該プロセッサ３固有のＩＤ情報（特に、当該プロセッサ３がＣＣＤ対応プロセッサであるとの情報）を接続された内視鏡１に伝送する役目を果たす。

【００５３】

一方、本実施形態の内視鏡１における前記プロセッサ検知回路２８は、接続されたプロセッサ３における前記ＣＰＵ３４からの情報に基づいて当該接続されたプロセッサがＣＣＤ対応プロセッサであるか否かを判別するようになっている。

【００５４】

なお、上述したプロセッサ３としては、当該プロセッサ３固有のＩＤ情報（ＣＣＤ対応プロセッサであるとの情報）を内視鏡１に対して送出する機能を有するものを想定し、前記プロセッサ検知回路２８は当該ＩＤ情報を入力して接続されたプロセッサの種別を判別するものとしたが、プロセッサの判別方法はこれに限られない。

【００５５】

たとえば、接続されたプロセッサから所定のＩＤ情報を受信しないことをもって当該プロセッサ３の種別を判別するようにしてもよい。

【００５６】

より具体的には、後述するように「ＣＭＯＳ対応プロセッサ」からは自身の固有のＩＤ情報、すなわちＣＭＯＳ対応プロセッサであるとの情報を必ず送出することを前提とし、当該プロセッサ３の如きＣＣＤ対応プロセッサからはプロセッサ判別用のＩＤ情報を何ら送出しない仕様にするれば、ＩＤ情報を受信しないことをもって当該プロセッサ３がＣＣＤ対応プロセッサであるとの判断をすることができる。

【００５７】

図８に戻って、前記水平オプティカルブラッククランプ処理回路３３における水平オプティカルブラッククランプ処理は、既知のＯＢクランプ処理であり、オプティカルブラック画素領域からの出力信号（オプティカルブラック信号）を所定の目標レベルにクランプし、そのクランプレベルを基準として、得られた全てのオプティカルブラック信号の平均値を黒レベルとする処理であり、当該ＣＣＤ対応プロセッサ３では、これをＣＣＤイメージセンサにおける水平オプティカルブラックに対して行うものである。

【００５８】

一方、本実施形態の内視鏡１は、上述した従来のＣＣＤ対応プロセッサの他に、前記プロセッサ３Ａに接続可能である。

【００５９】

図７は本実施形態の内視鏡、ＣＣＤ対応プロセッサおよびＣＭＯＳ対応プロセッサとの接続関係を示した図である。

【００６０】

このプロセッサ３Ａは、ＣＭＯＳイメージセンサ１１（垂直オプティカルブラック画素領域のみを有するＣＭＯＳイメージセンサ）を搭載する内視鏡１が接続されることを想定した信号処理回路を備える。

【００６１】

次に、本実施形態の内視鏡１がＣＣＤ対応プロセッサ３またはＣＭＯＳ対応のプロセッ

10

20

30

40

50

サ 3 A に接続された際の作用についてそれぞれ説明する。

【 0 0 6 2 】

図 8 は、本実施形態の内視鏡が C C D 対応プロセッサ 3 に接続された際の構成を示す図であり、図 9 は、本実施形態の内視鏡が C M O S 対応プロセッサ 3 A に接続された際の構成を示す図である。さらに、図 1 0 は、本実施形態の内視鏡における水平オプティカルブラック画素領域生成処理を示したフローチャートである。

【 0 0 6 3 】

図 1 0 示すように、まず内視鏡 1 におけるプロセッサ検知回路 2 8 が所定のプロセッサに接続されたことを検知すると、プロセッサ検知回路 2 8 は接続されたプロセッサの C P U 3 4 (図 8 , 図 9 参照) から所定の I D 情報を入手する (ステップ S 1) 。

10

【 0 0 6 4 】

この後、プロセッサ検知回路 2 8 は、接続されたプロセッサが、ステップ S 1 で入手した I D 情報に基づいて、当該内視鏡 1 が接続されたプロセッサが C C D 対応プロセッサ 3 であるか、または C M O S 対応のプロセッサ 3 A であるかを判定する (ステップ S 2) 。

【 0 0 6 5 】

なお、上述したようにプロセッサ検知回路 2 8 は、I D 情報を受信しないことをもって当該プロセッサ 3 が C C D 対応プロセッサであるか否かの判別をしてもよい。

【 0 0 6 6 】

その後、ステップ S 2 において接続されたプロセッサが C C D 対応プロセッサ 3 であると判定された場合は、プロセッサ検知回路 2 8 は、ステップ S 3 の処理を行う。

20

【 0 0 6 7 】

すなわち、ステップ S 3 においてプロセッサ検知回路 2 8 は、前記信号経路切替部 2 6 を制御して前記 P / S 回路 2 7 から出力される撮像信号が、前記水平オプティカルブラック画素領域生成処理部 2 4 を経路するように信号経路を切り替える (図 8 参照) 。

【 0 0 6 8 】

ここで、上述したように、水平オプティカルブラック画素領域生成処理部 2 4 を経路するように選択された場合は、P / S 回路 2 7 からは、新たな水平オプティカルブラック画素領域 R h o b が生成された撮像信号がプロセッサ 3 に対して送出される。

【 0 0 6 9 】

これにより、この撮像信号を入力した C C D 対応プロセッサ 3 においては、水平オプティカルブラッククランプ処理回路 3 3 において、(接続されたのが C M O S イメージセンサ 1 1 を搭載する内視鏡 1 であっても) 通常の水平 O B クランプ処理を行うことができる。

30

【 0 0 7 0 】

一方、ステップ S 2 において接続されたプロセッサが C M O S 対応のプロセッサ 3 A であると判定された場合は、プロセッサ検知回路 2 8 は、ステップ S 4 の処理を行う。

【 0 0 7 1 】

すなわち、ステップ S 4 においてプロセッサ検知回路 2 8 は、前記信号経路切替部 2 6 を制御して前記 P / S 回路 2 7 から出力される撮像信号が、前記 C M O S 対応プロセッサ用信号処理部 2 5 を経路するように信号経路を切り替える (図 9 参照) 。

40

【 0 0 7 2 】

ここで、上述したように、C M O S プロセッサ用信号処理部 2 5 は、本実施形態においては、撮像信号をそのままスルーして後段の信号経路切替部 2 6 に送出するようになっているため、C M O S 対応プロセッサ 3 A においても、適正な信号処理を行うことができる。

【 0 0 7 3 】

以上説明したように本実施形態によると、水平オプティカルブラック画素領域に対応した O B クランプ処理回路のみを備えるプロセッサに接続された場合であっても、当該プロセッサにおいて適正な画像信号処理を行い得る、垂直 O B 画素領域のみを有する C M O S イメージセンサを採用する内視鏡を提供することができる。

50

【0074】

なお、本実施形態においては、前記FPGA21はコネクタ部20に配設するものとしたが、これに限らず、内視鏡1における操作部等に配設されてもよい。

【0075】

また、上述したように、本実施形態においては、CMOSイメージセンサ11における前記垂直オプティカルブラック画素領域Rvobは、有効画素領域Raの走査方向に対して上部に設けられるとしたが、これに限らず、本願発明は、有効画素領域Raの走査方向に対して下部に設けられるCMOSイメージセンサにも適用できる。

【0076】

さらに、本実施形態においては、前記水平オプティカルブラック画素領域Rhobは、画素配列領域における各行先頭の所定領域に新たに生成されるものとしたが、これに限らず、画素配列領域における各行末尾の所定領域に新たに生成するようにしてもよい。

【0077】

また、本実施形態においては、内視鏡1の撮像素子としてCMOSイメージセンサを想定したが、CMOSイメージセンサに限らず、本願発明は、垂直オプティカルブラック画素領域のみを有する撮像素子を採用する内視鏡に適用することができる。

【0078】

次に本発明の第2の実施形態について説明する。

【0079】

図11は、本発明の第2の実施形態の内視鏡がCCD対応プロセッサに接続された際の構成を示す図であり、図12は、第2の実施形態の内視鏡がCMOS対応プロセッサに接続された際の構成を示す図である。また、図13は、第2の実施形態の内視鏡における水平オプティカルブラック画素領域生成処理の作用を示したフローチャートである。

【0080】

本第2の実施形態の内視鏡システムは、その基本的な構成は第1の実施形態と同様であり、前記コネクタ部20におけるFPGA21内の一部の構成のみを異にするものである。したがって、ここでは第1の実施形態との差異のみの説明にとどめ、共通する部分の説明については省略する。

【0081】

上述した第1の実施形態においては、前記FPGA21は、内視鏡1に接続されたプロセッサの種別に応じて信号経路切替部26における信号経路を切り替えるプロセッサ検知回路28を備えるが(図1参照)、第2の実施形態においては、図11、図12に示すように、当該プロセッサ検知回路28に代えて、信号経路切替部26における信号経路を切り替える切替指示信号を送出する切替指示部28aを備えることを特徴とする。

【0082】

この切替指示部28aは、図示しない操作等(例えばユーザーによる設定)により前記切替指示信号を信号経路切替部26に送出する。この切替指示信号は、前記デジタル撮像信号が前記水平オプティカルブラック画素領域生成処理部24を通過する第1の信号経路と、前記CMOSプロセッサ用信号処理部25を通過する第2の信号経路(すなわち、前記デジタル撮像信号が前記水平オプティカルブラック画素領域生成処理部を通過しない信号経路)とを切り替えるための指示信号である。

【0083】

また、本第2の実施形態において信号経路切替部26は、切替指示部28aからの切替指示信号に応じて、前記第1の信号経路を前記第2の信号経路とを切り替えるようになっている。

【0084】

このように本第2の実施形態においては、内視鏡1に接続されるプロセッサの種別(CCD対応プロセッサ3B(図11参照)またはCMOS対応プロセッサ3C(図12参照))を内視鏡1においては検知することなく、上述した信号経路の切替を行うことができる。

10

20

30

40

50

【 0 0 8 5 】

次に、本実施形態の内視鏡 1 が C C D 対応プロセッサまたは C M O S 対応プロセッサに接続された際の作用についてそれぞれ説明する。

【 0 0 8 6 】

図 1 3 に示すように、内視鏡 1 における切替指示部 2 8 a から前記切替指示信号が送出されると (ステップ S 1 1)、当該切替指示部 2 8 a における切替指示が C C D 対応のプロセッサ 3 B であるか、または C M O S 対応のプロセッサ 3 C であるかに基づいて (ステップ S 1 2)、信号経路切替部 2 6 は前記第 1 の信号経路と前記第 2 の信号経路とを切り替える。

【 0 0 8 7 】

すなわち、前記切替指示信号が C C D 対応プロセッサ 3 B を示す場合 (すなわち、撮像信号に対して前記水平オプティカルブラッククランプ処理回路 3 3 が働くプロセッサを示す場合) は、前記水平オプティカルブラック画素領域生成処理部 2 4 を通過する第 1 の信号経路を選択する (ステップ S 1 3)。

【 0 0 8 8 】

一方、前記切替指示信号が C M O S 対応のプロセッサ 3 C を示す場合は、C M O S プロセッサ用信号処理部 2 5 を通過する第 2 の信号経路を選択する (ステップ S 1 4)。

【 0 0 8 9 】

以上説明したように本実施形態によると、接続されるプロセッサの種別検知をすることなく、水平オプティカルブラッククランプ処理回路を備えるプロセッサに接続された場合であっても、当該プロセッサにおいて適正な画像信号処理を行い得る、C M O S イメージセンサを搭載する内視鏡を提供することができる。

【 0 0 9 0 】

以上説明したように本実施形態によると、接続されるプロセッサの種別検知をすることなく、撮像信号に対して高域周波数成分を強調する信号処理回路を備えるプロセッサに接続された場合であっても、当該プロセッサにおいて適正な画像信号処理を行い得る、C M O S イメージセンサを搭載する内視鏡を提供することができる。

【 0 0 9 1 】

なお、本発明は、上述した実施形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化することができる。また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより、種々の発明の態様を形成することができる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。さらに異なる実施形態にわたる構成要素を適宜組み合わせても良い。

【 0 0 9 2 】

このように、発明の趣旨を逸脱しない範囲内において種々の変更または応用が可能であることは勿論である。

【 0 0 9 3 】

本出願は、2 0 1 4 年 1 2 月 4 日に日本国に出願された特願 2 0 1 4 - 2 4 6 1 3 7 号を優先権主張の基礎として出願するものであり、上記の開示内容は、本願明細書、請求の範囲、図面に引用されたものとする。

【 要約 】

オプティカルブラック画素領域として垂直 O B 画素領域のみを備える C M O S イメージセンサ (1 1) と、C M O S イメージセンサ (1 1) における有効画素領域において生成される光電変換信号、および、垂直 O B 画素領域において生成される O B 信号を、行ごとに読み出して読み出された、前記有効画素領域において生成される光電変換信号に対して、各行の先頭または末尾に、前記垂直 O B 画素領域において生成される前記 O B 信号を付加して出力する水平 O B 画素領域生成処理部 (2 4) と、を具備する。

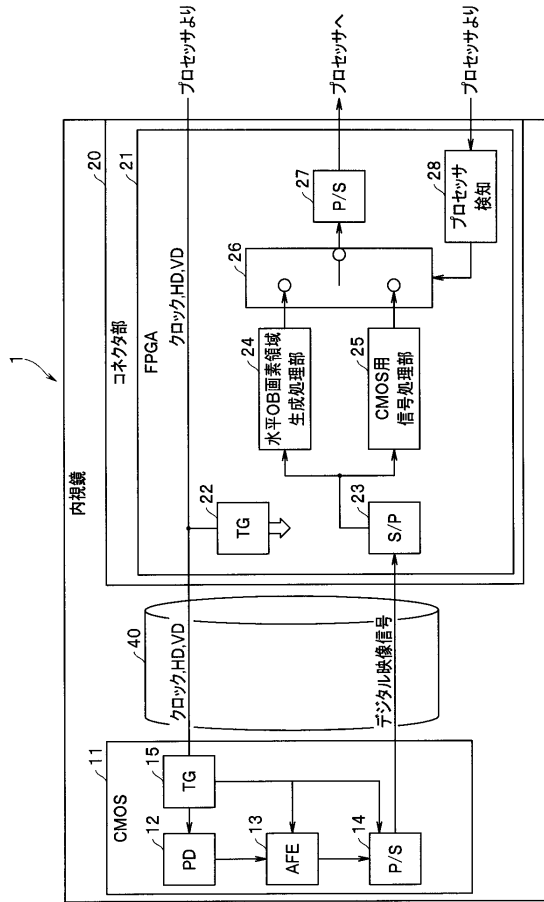
10

20

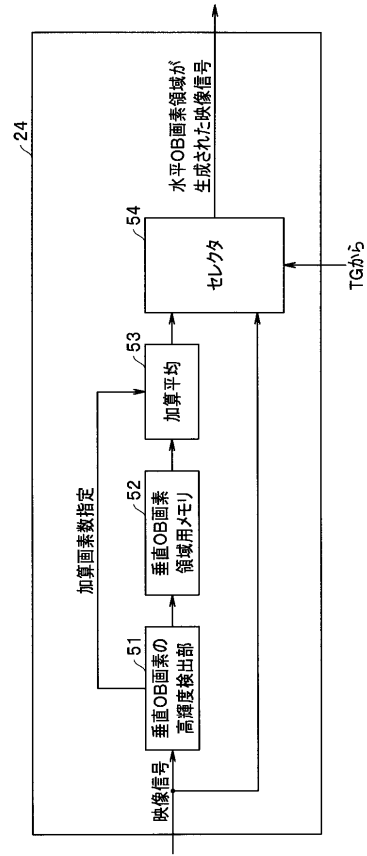
30

40

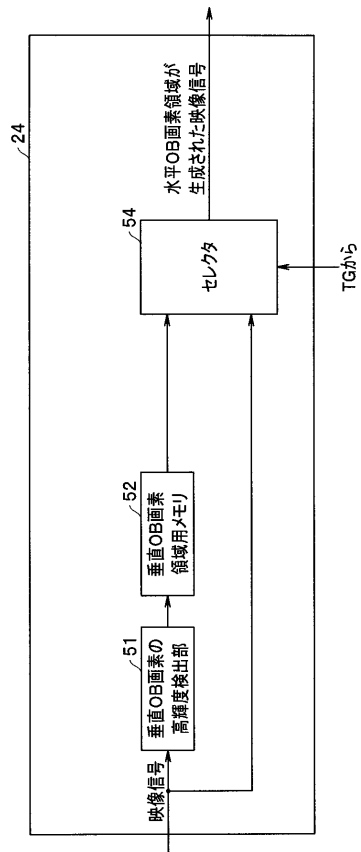
【図1】



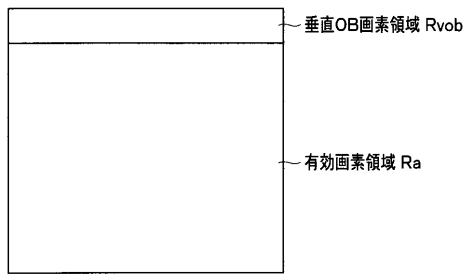
【図2】



【図3】



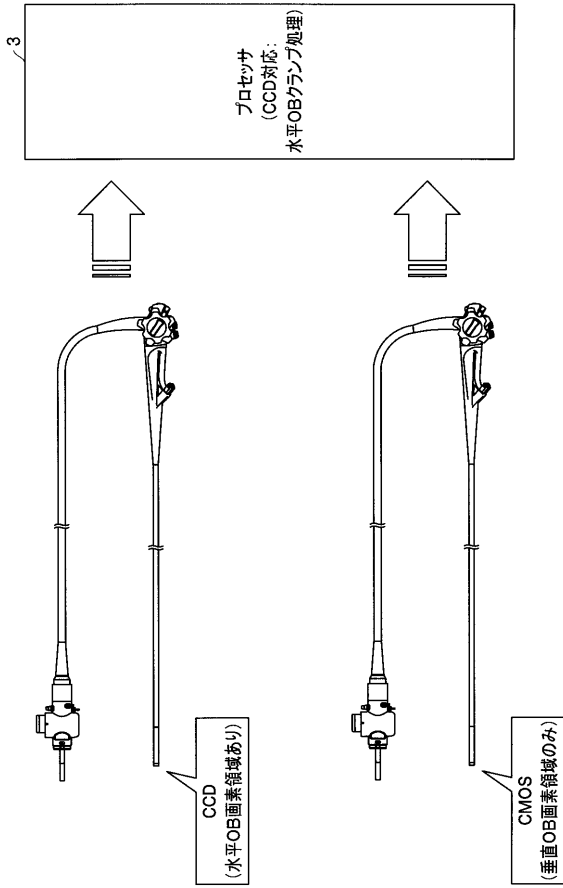
【図4】



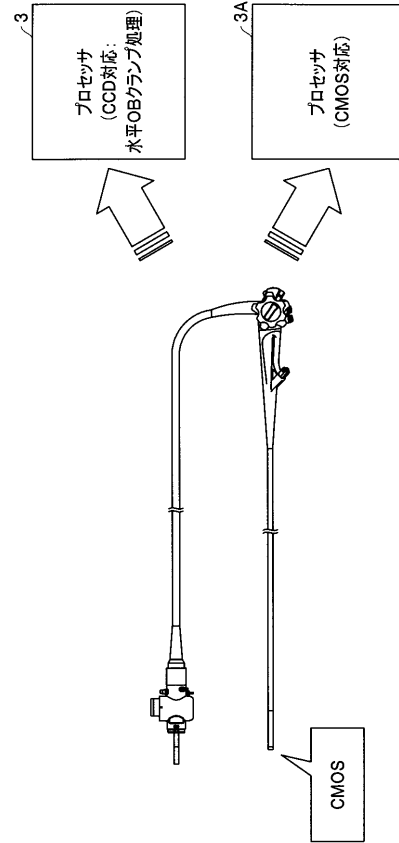
【図5】



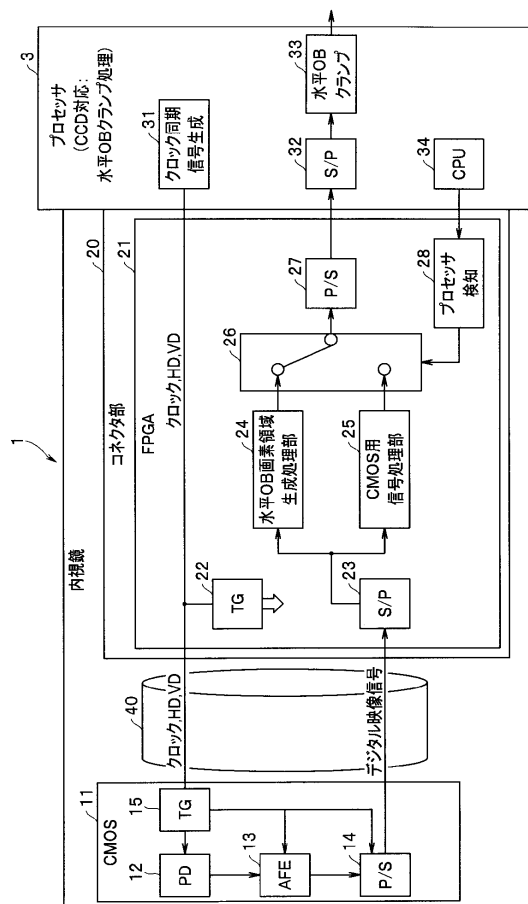
【図6】



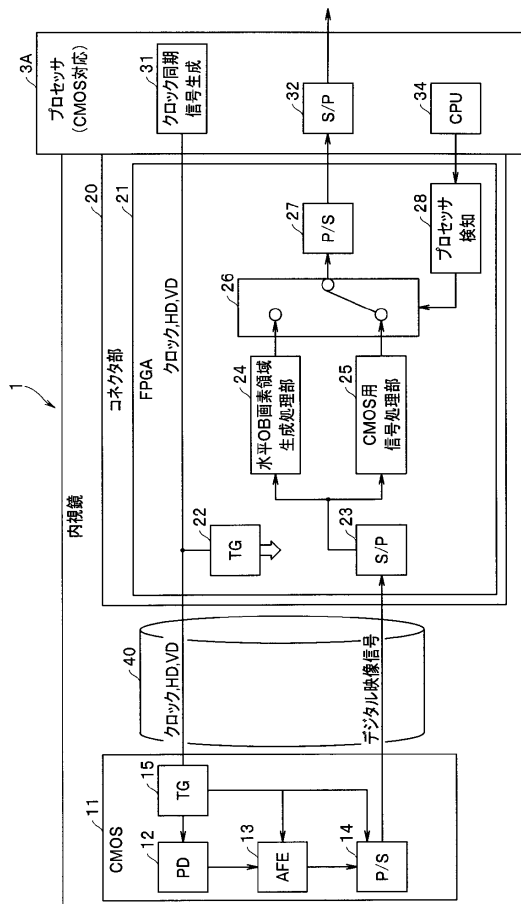
【図7】



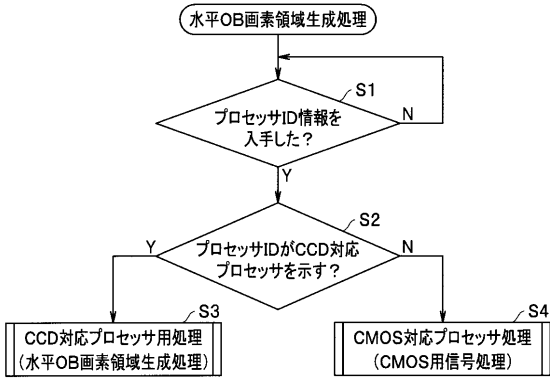
【図8】



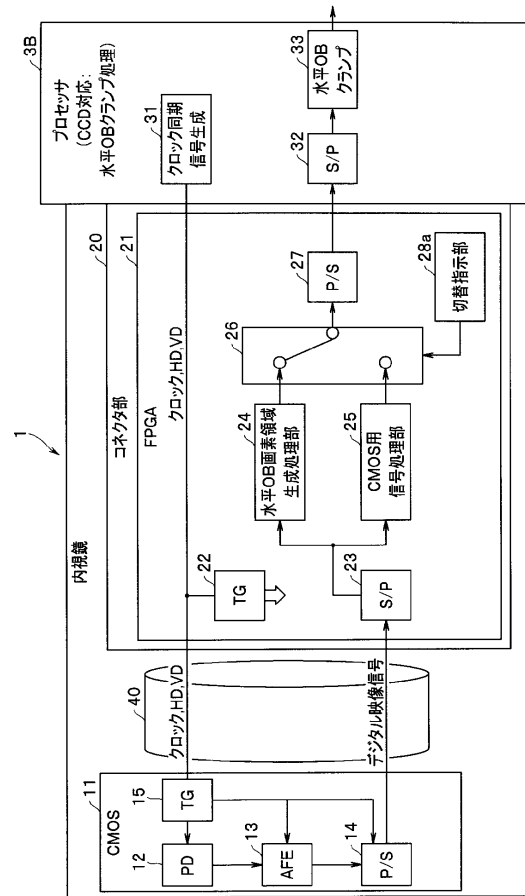
【図9】



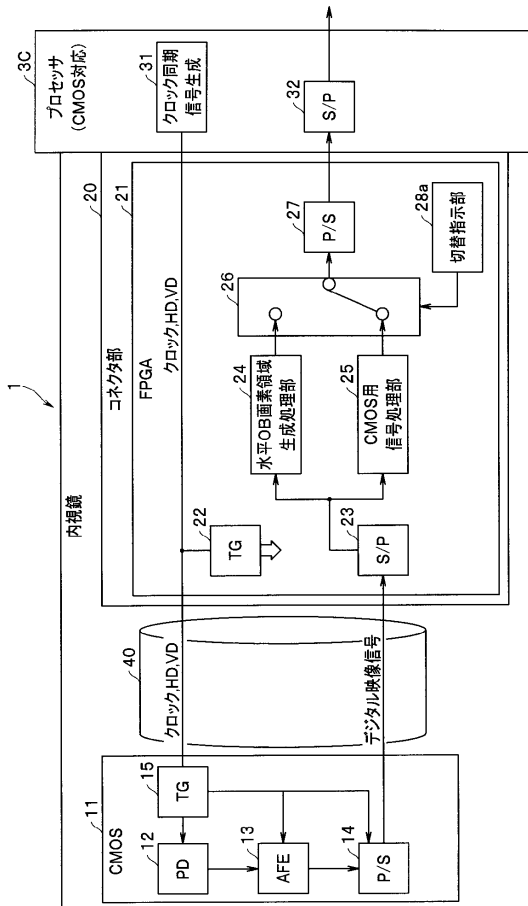
【図10】



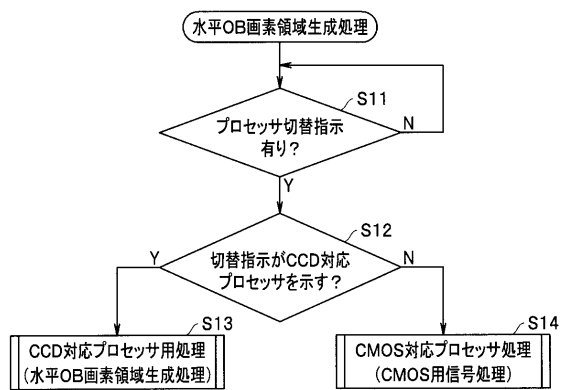
【図11】



【図12】



【図13】



フロントページの続き

(51)Int.Cl. F I
H 0 4 N 5/374 (2011.01) H 0 4 N 5/335 7 4 0

(72)発明者 松井 泰憲
東京都渋谷区幡ヶ谷2丁目43番2号 オリンパス株式会社内

審査官 鈴木 肇

(56)参考文献 特開2009-239383(JP,A)
特開2013-126002(JP,A)
特開2004-153677(JP,A)
特開2011-206334(JP,A)
特開2001-224555(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 4 N 5 / 3 0 - 5 / 3 7 8
A 6 1 B 1 / 0 0 - 1 / 3 2
G 0 2 B 2 3 / 2 4 - 2 3 / 2 6
H 0 4 N 5 / 2 2 2 - 5 / 2 5 7
H 0 4 N 7 / 1 8

专利名称(译)	内视镜		
公开(公告)号	JP5927371B1	公开(公告)日	2016-06-01
申请号	JP2016509178	申请日	2015-09-08
[标]申请(专利权)人(译)	奥林巴斯株式会社		
申请(专利权)人(译)	奥林巴斯公司		
当前申请(专利权)人(译)	奥林巴斯公司		
[标]发明人	大河文行 橋本秀範 松井泰憲		
发明人	大河 文行 橋本 秀範 松井 泰憲		
IPC分类号	H04N5/378 A61B1/04 G02B23/24 H04N5/341 H04N5/361 H04N5/374		
FI分类号	H04N5/335.780 A61B1/04.372 G02B23/24.B H04N5/335.410 H04N5/335.610 H04N5/335.740		
代理人(译)	伊藤 进 长谷川 靖 ShinoUra修		
审查员(译)	铃木 肇		
优先权	2014246137 2014-12-04 JP		
其他公开文献	JPWO2016088422A1		
外部链接	Espacenet		

摘要(译)

仅具有垂直OB像素区域作为光学黑色像素区域，在CMOS图像传感器(11)的有效像素区域中生成的光电转换信号以及在垂直OB像素区域中生成的OB信号的CMOS图像传感器(11)对于每一行读取和读取，对于在有效像素区域中生成的光电转换信号，将在垂直OB像素区域中生成的OB信号添加到每一行的开头或结尾。以及用于输出的水平OB像素区域生成处理单元(24)。

(21) 出願番号	特願2016-509178 (P2016-509178)	(73) 特許権者	000000376
(86) (22) 出願日	平成27年9月8日 (2015.9.8)		オリンパス株式会社
(86) 国際出願番号	PCT/JP2015/075519		東京都八王子市石川町2951番地
審査請求日	平成28年2月19日 (2016.2.19)	(74) 代理人	100076233
(31) 優先権主張番号	特願2014-246137 (P2014-246137)		弁理士 伊藤 進
(32) 優先日	平成26年12月4日 (2014.12.4)	(74) 代理人	100101661
(33) 優先権主張国	日本国 (JP)		弁理士 長谷川 靖
早期審査対象出願		(74) 代理人	100135932
			弁理士 藤浦 治
		(72) 発明者	大河 文行
			東京都渋谷区幡ヶ谷2丁目43番2号 オリンパス株式会社内
		(72) 発明者	橋本 秀範
			東京都渋谷区幡ヶ谷2丁目43番2号 オリンパス株式会社内